

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2005年5月12日 (12.05.2005)

PCT

(10) 国際公開番号
WO 2005/043556 A1(51) 国際特許分類⁷: H01C 7/04

(21) 国際出願番号: PCT/JP2004/016044

(22) 国際出願日: 2004年10月28日 (28.10.2004)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2003-372846
2003年10月31日 (31.10.2003) JP

(71) 出願人 (米国を除く全ての指定国について): 株式会社村田製作所 (MURATA MANUFACTURING CO., LTD.) [JP/JP]; 〒6178555 京都府長岡京市東神足1丁目10番1号 Kyoto (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 井藤 恭典 (ITO, Yasunori) [JP/JP]; 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 Kyoto (JP). 古戸 聖浩 (KOTO, Kiyohiro) [JP/JP]; 〒6178555

京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 Kyoto (JP). 川瀬 政彦 (KAWASE, Masahiko) [JP/JP]; 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 Kyoto (JP).

(74) 代理人: 宮▼崎▲主税, 外(MIYAZAKI, Chikara et al.); 〒5400012 大阪府大阪市中心区谷町1丁目6番5号 西村ビル Osaka (JP).

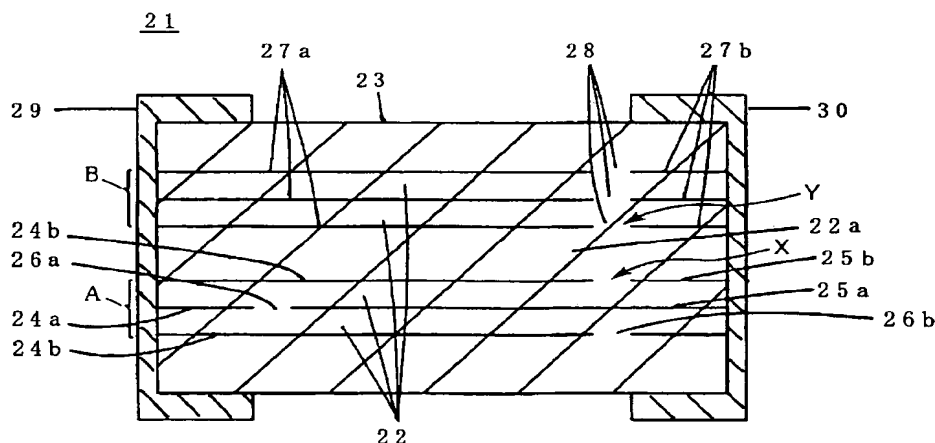
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY,

[続葉有])

(54) Title: MULTILAYER RESISTIVE ELEMENT

(54) 発明の名称: 積層型抵抗素子.



(57) Abstract: A multilayer resistive element the resistance value of which can be finely adjusted. The multilayer resistive element comprises a multilayer sintered body (23) having a first group of inner electrodes (27a, 27b) and a second group of inner electrodes (24a, 24b, 25a, 25b). The first group of the inner electrodes have inner electrodes (24b, 25a) opposed to each other with a ceramic resistive layer interposed therebetween. A resistor unit is formed at a portion where the inner electrodes (24b, 25a) are opposed. One end of the resistor unit is connected to a first outer electrode (29), and the other is connected to a second outer electrode (30). The second group of the inner electrodes have pairs of the inner electrodes (27a, 27b) having their inner ends opposed to one another in the same plane in the multilayer sintered body, with gaps defined among the inner ends. The pairs of gaps between the pairs of inner electrodes (27a, 27b) are in the same position when viewed from one stack direction of the multilayer sintered body.

[続葉有])



KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

(57) 要約:

抵抗値を微調整することができる積層型抵抗素子を提供する。

第1グループの内部電極27a, 27bと、第2グループの内部電極24a, 24b, 25a, 25bとを有する積層焼結体23を有し、第1グループ内部電極は、セラミック抵抗層を介して対向された複数の内部電極24b, 25aを有し、該複数の内部電極24b, 25aが対向している部分において抵抗ユニットが構成されており、該抵抗ユニットの一端が第1の外部電極29に、他端が第2の外部電極30に接続されており、第2グループ内部電極は、積層焼結体内の同一平面上において内側端同士がギャップを介して対向された複数対の内部電極27a, 27bを有し、複数対の内部電極27a, 27bにおける複数対のギャップが積層焼結体の積層方向の一方から見たときに同じ位置に形成されている、積層型抵抗素子。

明 細 書

積層型抵抗素子

技術分野

[0001] 本発明は、積層型抵抗素子、特に、抵抗値を微調整できるように内部電極が積層焼結体の内部に配置されている積層型抵抗素子に関するものである。

背景技術

[0002] 従来、温度補償や温度検出のためにPTCサーミスタやNTCサーミスタなどの抵抗素子が用いられている。この抵抗素子として、プリント回路基板などに実装可能な積層型抵抗素子がある。以下に、従来の積層型抵抗素子の複数の例を説明する。

[0003] 第7図は第1の従来例を示す断面図であり、抵抗素子がNTCサーミスタの例である。

[0004] 図7に示されている積層型サーミスタ1は、複数のサーミスタ層2が一体焼結された積層焼結体3の内部に、第1の内部電極4a, 4b、第2の内部電極5a, 5bを有する。積層焼結体3の外表面、具体的には、両端部には外部電極7, 8がそれぞれ形成されている。

[0005] 第1の内部電極4aと第2の内部電極5aの、それぞれの一端部が、同一平面上においてギャップ6aを隔てて対向されている。第1の内部電極4aの他端部が外部電極7と電氣的に接続されており、第2の内部電極4bの他端部が外部電極8と電氣的に接続されている。

[0006] また、第1の内部電極4bと第2の内部電極5bの各一端部が、同一平面上においてギャップ6bを隔てて対向されている。第1の内部電極4bの他端部が外部電極7と電氣的に接続されており、第2の内部電極5bの他端部が外部電極8と電氣的に接続されている。

[0007] ギャップ6aとギャップ6bとは、積層焼結体3の内部で、複数のサーミスタ層2の積層方向に沿っては交互に配置されている。また、ギャップ6aとギャップ6bとは、積層焼結体3の積層方向とほぼ直交する方向において異なった位置に形成されている。

[0008] 図8は、第2の従来例を示す断面図であり、図7と同様、抵抗素子がNTCサーミスタ

の例である。

- [0009] 図8に示されている積層型NTCサーミスタ11では、複数のサーミスタ層12が一体焼結された積層焼結体13の内部に、第1の内部電極14a、第2の内部電極14bが設けられている。また、第1の内部電極14a、第2の内部電極14bとサーミスタ層12を介して対向するように、内部電極16が形成されている。積層焼結体12の外表面、具体的には、両端部には外部電極17、18がそれぞれ形成されている。
- [0010] 第1の内部電極14aと第2の内部電極14bのそれぞれの一端部同士が同一平面上においてギャップ15を隔てて対向して形成されている。第1の内部電極14aの他端部が外部電極17に電氣的に接続されており、第2の内部電極14bの他端部が外部電極18に電氣的に接続されている。
- [0011] 内部電極16は、その両端部は積層焼結体13の外表面に導出されておらず、外部電極17、18には電氣的に接続されていない非接続型の内部電極である。
- [0012] 第1の従来例の積層型抵抗素子の抵抗値は、第1の内部電極4aと第2の内部電極5aとで形成されるギャップ6aの間隔、第1の内部電極4bと第2の内部電極5bとで形成されるギャップ6bの間隔、および第1の内部電極4aと第2の内部電極5bとの重なり合う面積および間隔で決定される。
- [0013] また、第2の従来例の積層型抵抗素子の抵抗値は、第1の内部電極14aと第2の内部電極14bとで形成されているギャップ15の間隔と、第1の内部電極14aと非接続型内部電極16との重なり合う面積および両者の間の間隔と、さらに第2の内部電極14bと非接続型内部電極16との重なり合う面積および両者の間の間隔で決定される。
- [0014] 下記の特許文献3には、第3の例の積層型抵抗素子が開示されている。特許文献3に開示されている抵抗素子では、負特性サーミスタ素体内において、サーミスタ素体を介して重なり合うように第1、第2の内部電極が配置されており、第の内部電極が負特性サーミスタ素体の一端に引き出されており、他方の内部電極が他端に引き出されている。そして、サーミスタ素体の両端には、第1、第2の外部電極が形成されている。また、サーミスタ素体には、サーミスタ素体を構成する材料とは異なる抵抗性材料からなる抵抗体層が積層されている。そして、抵抗体層の内部には、同一平面上において一方端同士がギャップを隔てて対向されている一対の内部電極が形成され

ている。この内部電極の一方が第1の外部電極に、他方が第2の外部電極に電氣的に接続されている。

[0015] ここでは、上記抵抗体層の材料特性や形状のみならず、上記抵抗体層内の一対の電極のパターン調整によって抵抗値を設定することができ、それによって抵抗値の設定の自由度が高められるとされている。

[0016] また、下記の特許文献4には、第4の例の積層型抵抗素子としてのNTCサーミスタが開示されている。すなわち、積層型の抵抗体内に、同一平面においてそれぞれの内側端同士がギャップを隔てて対向されている複数対の内部電極が設けられているNTCサーミスタが開示されている。ここでは、各対の内部電極のうち一方の内部電極が抵抗体の一方端面に設けられた第1の外部電極に電氣的に接続され、他方の内部電極が抵抗体の他方端面に形成された第2の外部電極に電氣的に接続されている。そして、抵抗体の上面に対して垂直な方向から見た場合、複数対のうちの上記一方の内部電極と他方の内部電極とが重ならないように配置されている。このNTCサーミスタでは、同一平面上に配置された一対の内部電極間のギャップの間隔によって抵抗値が決定されるため、抵抗値のばらつきを小さくすることができるとされている。

特許文献1:特開平05-243007号公報

特許文献2:特開平10-247601号公報

特許文献3:特開2000-124008号公報

特許文献4:実開平6-34201号公報

発明の開示

[0017] 第1、第2の従来例の積層型抵抗素子の抵抗値を調整する場合には、各内部電極の積層数を増加させたり、減少させたりしていた。しかしながら、抵抗値を調整する場合、第1の従来例では、サーミスタ層2を介して対向されている内部電極4a、4b、5a、5bの数が増減されるため、抵抗値の変化幅が大きく、抵抗値を微調整することが困難であった。第2の従来例では、サーミスタ層12を介して対向されている内部電極14a、14b、および内部電極16からなるユニットの数が増減されていた。従って、やはり抵抗値の変化幅が大きく、抵抗値の微調整が困難であった。

- [0018] 他方、上記第3の従来例の積層型抵抗素子では、抵抗体層が負特性サーミスタ素体とは異なる材料で形成されているため、製造工程が煩雑になり、コストが高くてかかるを得なかった。また、抵抗体層の厚みを、サーミスタ素体の厚みより十分薄くする必要があるため、抵抗体及び内部電極の設計が制約されざるを得なかった。そのため、低抵抗化及び抵抗値の微調整が困難であった。
- [0019] また、上記特許文献4に記載のNTCサーミスタでは、抵抗値のばらつきを小さくすることはできるものの、低抵抗化には限界があった。これは、同一平面上においてギャップを隔てて配置されている各対の内部電極において、上記ギャップの大きさを小さくすると、抵抗値を小さくすることはできる。しかしながら、ギャップが小さくなると、短絡が生じ易くなるため、低抵抗化には限界があった。
- [0020] 本発明の目的は、上述した従来技術の問題点に鑑み、内部電極を有する積層焼結体を用いた積層型抵抗素子において、抵抗値を微調整することを可能とする構造が備えられた積層型抵抗素子を提供することにある。
- [0021] 本発明のある広い局面によれば、複数のセラミック抵抗層と複数の内部電極とが積層されている積層焼結体と、前記積層焼結体の外表面に形成された第1の外部電極及び第2の外部電極とを備え、前記複数の内部電極は、第1のグループの複数の内部電極と、第2のグループの複数の内部電極とを有し、前記第1のグループの複数の内部電極は、上記セラミック抵抗層を介して対向するように配置された少なくとも2枚の内部電極を有する抵抗ユニットを有し、該抵抗ユニットの一端が前記第1の外部電極に、他端が前記第2の外部電極に電氣的に接続されており、前記第2のグループの内部電極は、それぞれの一端同士が前記積層焼結体内の同一平面上においてギャップを隔てて対向されている複数対の内部電極を有し、各対の内部電極の一方が前記第1の外部電極に、他方が前記第2の外部電極に電氣的に接続されていることを特徴とする、積層型抵抗素子が提供される。
- [0022] 本発明に係る積層型抵抗素子のある特定の局面では、前記第2のグループの複数のギャップが、前記積層焼結体内において積層方向において重なり合う位置に形成されている。
- [0023] 本発明に係る積層型抵抗素子の他の特定の局面では、前記第1のグループの内

部電極が、前記第1の外部電極に電氣的に接続された第1の分割内部電極と、前記第2の外部電極に電氣的に接続された第2の分割内部電極とを有し、前記第1、第2の分割内部電極のそれぞれの一端同士が同一平面上においてギャップを隔てて対向されており、前記第2の内部電極グループの各1対の内部電極のうち、第1の外部電極に電氣的に接続されている内部電極を第3の内部電極、第2の外部電極に電氣的に接続されている他方の内部電極を第4の内部電極としたときに、前記第1のグループのギャップであって、前記第2のグループに最も近いギャップが、前記第2のグループの第3、第4の内部電極間のギャップであって、第1のグループに最も近いギャップと積層方向において重なり合う位置に配置されている。

[0024] 上記第1のグループの内部電極の構成は本発明においては種々変形することができる。

[0025] すなわち、本発明の更に他の特定の局面では、前記第1、第2の分割内部電極からなる電極対が複数対積層されており、積層方向において隣り合う電極対におけるギャップが積層方向の一方側から見たときに異なる位置に形成されている。

[0026] また、本発明の積層型抵抗素子の更に他の特定の局面では、前記第1のグループの内部電極において、前記第1、第2の分割内部電極にセラミック抵抗層を介して重なり合うように配置された非接続型内部電極を更に備える。

[0027] 本発明に係る積層型抵抗素子の更に別の特定の局面では、前記第1のグループの内部電極が、前記第1の外部電極に電氣的に接続された第1の内部電極と、前記第2の外部電極に電氣的に接続された第2の内部電極とを有し、前記第1、2の内部電極が、セラミック層を介して重なり合うように配置されている。

[0028] 上記第1の内部電極の構成が異なる上記3つの対応の積層型抵抗素子は、より具体的には、以下の第1〜第3の手段として表現することができる。

[0029] 本発明の第1の手段としての積層型抵抗素子は、複数のセラミック抵抗層と内部電極が積層されている積層焼結体と、前記積層焼結体の外表面に形成された第1の外部電極と第2の外部電極とを備え、前記内部電極は、第1グループの内部電極と、第2グループの内部電極とからなり、前記第1グループの内部電極は、その一端が前記積層焼結体内で同一平面上にギャップを隔てて対向して形成され、その他端が前記

第1の外部電極、第2の外部電極にそれぞれ接続された第1の内部電極、第2の内部電極とからなり、前記積層焼結体の積層方向に沿って隣り合う前記第1、第2の各内部電極のギャップが前記積層焼結体の積層方向に沿って互いに異なる位置に形成されており、前記第2グループの内部電極は、その一端が前記積層焼結体内で同一平面上にギャップを隔てて対向して形成され、その他端が前記第1の外部電極、第2の外部電極にそれぞれ接続された第3の内部電極、第4の内部電極とからなり、第3の内部電極、第4の内部電極によって形成されている前記ギャップが前記積層焼結体の積層方向に沿って同じ位置にあることを特徴とする積層型抵抗素子である。

[0030] また、このような課題を解決する第2の手段は、複数のセラミック抵抗層と内部電極が積層されている積層焼結体と、前記積層焼結体の外表面に形成された第1の外部電極と第2の外部電極とを備え、前記内部電極は、第1グループの内部電極と、第2グループの内部電極とからなり、前記第1グループの内部電極は、その一端が前記積層焼結体内で同一平面上にギャップを隔てて対向して形成され、その他端が前記第1の外部電極、第2の外部電極にそれぞれ接続された第1の内部電極、第2の内部電極と、第1の内部電極と第2の内部電極と前記セラミック抵抗層を介して前記積層焼結体の積層方向に重なるように形成され、第1、第2の外部電極とは接続されない非接続型の内部電極とからなり、前記第2グループの内部電極は、その一端が前記積層焼結体内で同一平面上にギャップを隔てて対向して形成され、その他端が前記第1の外部電極、第2の外部電極にそれぞれ接続された第3の内部電極、第4の内部電極とからなり、第3の内部電極、第4の内部電極によって形成されている前記ギャップが前記積層焼結体の積層方向に沿って同じ位置にあることを特徴とする積層型抵抗素子である。

[0031] 第3の手段は、複数のセラミック抵抗層と内部電極が積層されている積層焼結体と、前記積層焼結体の外表面に形成された第1の外部電極と第2の外部電極とを備え、前記内部電極は、第1グループの内部電極と、第2グループの内部電極とからなり、前記第1グループの内部電極は、前記セラミック抵抗層を介して互いに対向し、前記第1の外部電極に接続される第1内部電極と前記第2の外部電極に接続される第

2内部電極とからなり、前記2グループの内部電極は、その一端が前記積層焼結体内で同一平面上にギャップを隔てて対向して形成され、その他端が前記第1の外部電極、第2の外部電極にそれぞれ接続された第3の内部電極、第4の内部電極とからなり、第3の内部電極、第4の内部電極によって形成されている前記ギャップが前記積層焼結体の積層方向に沿って同じ位置にあることを特徴とする積層型抵抗素子である。

[0032] この発明の積層型抵抗素子は、積層焼結体の内部に第2グループの内部電極を形成することにより抵抗値の微調整を行うことができる。つまり、第2グループの内部電極を構成している複数対の内部電極において、各対の内部電極が積層焼結体内の同一平面においてギャップを隔てて配置されている。このギャップ間で決定される抵抗値は小さいため、複数対の内部電極における上記ギャップの大きさ及び複数対の内部電極の対数を変更することにより、積層型の抵抗素子の抵抗値を微妙に調整することができる。すなわち、第1のグループの内部電極が構成されている部分で決定される抵抗値にあまり影響を与えずに、第2のグループの内部電極が構成されている部分の調整により抵抗値を微調整することができる。

[0033] また、積層焼結体の設計、つまり、セラミック抵抗層と内部電極を積層する技術と同じ工程で抵抗値の設計、設定ができるので、抵抗値の微調整が容易に行うことができる。

図面の簡単な説明

[0034] [図1]図1はこの発明の積層型抵抗素子の第1実施例を示す断面図である。
[図2]図2はこの発明の積層型抵抗素子の第2実施例を示す断面図である。
[図3]図3はこの発明の積層型抵抗素子の第3実施例を示す断面図である。
[図4]図4は本発明の積層型抵抗素子を用いて抵抗値の微調整を図る工程を説明するための積層型抵抗素子の変更例を示す正面断面図である。
[図5]図5は図4に示した積層型抵抗素子から第2グループ内部電極の積層数を増大させて得られた積層型抵抗素子の正面断面図である。
[図6]図6は図4に示した積層型抵抗素子から第2グループ内部電極の積層数を減少させて得られた積層型抵抗素子の正面断面図である。

[図7]図7は従来の積層型抵抗素子の第1従来例を示す断面図である。

[図8]図8は従来の積層型抵抗素子の第2従来例を示す断面図である。

符号の説明

- [0035] 21、31、41…積層型抵抗素子
23、33、43…積層型焼結体
24a、24b、34a、44…第1の内部電極
25a、25b、34b、45…第2の内部電極
36…内部電極(非接続型内部電極)
28、38、48…ギャップ
29、30、39、40、49、50…外部電極
51…積層型抵抗素子

発明を実施するための最良の形態

- [0036] (実施例1)

図1は、積層型抵抗素子の第1実施例の断面図である。

- [0037] 図1に示されている積層型抵抗素子21は、複数のセラミック抵抗層としての複数のNTCサーミスタ層22が積層されて一体焼結された積層焼結体23を有する。積層焼結体23の内部には、第1の内部電極24a、24b、第2の内部電極25a、25bが設けられている。積層焼結体23の外表面、具体的には、両端部には外部電極29、30がそれぞれ形成されている。

- [0038] 第1の分割内部電極としての第1の内部電極24aと、第2の分割内部電極としての内部電極25aのそれぞれの一端部同士が、同一平面上においてギャップ26aを隔てて対向して形成されている。第1の内部電極24aの他端部が外部電極29と電氣的に接続されており、第2の内部電極25aの他端部が外部電極30と電氣的に接続されている。

なお、分割内部電極は、同一平面上にある内部電極を1つの纏まりとして見た場合に、ギャップにより隔てられた電極の1つを指す。例えば内部電極24a、内部電極25aを同一平面上にあるひと纏まりとし、ギャップによって隔てられたそれぞれを分割内部電極24a、分割内部電極25aと呼んでよい。また、この内部電極25aが例えば内部

電極24bとサーミスタ層を介して重なり合う場合には、単に内部電極と呼んで良い。

[0039] また、分割内部電極としての第1の内部電極24bと、分割内部電極としての第2の内部電極25bのそれぞれの一端部同士が、同一平面上においてギャップ26bを隔てて対向して形成されている。第1の内部電極24bの他端部が外部電極29と電氣的に接続されており、第2の内部電極25bの他端部が外部電極30と電氣的に接続されている。

[0040] ギャップ26aとギャップ26bとは、積層焼結体23の内部で、複数のサーミスタ層22の積層方向に沿って、隣り合う位置に配置されている。また、ギャップ26aとギャップ26bとは、積層焼結体23の積層方向とほぼ直交する方向であって積層焼結体23の両端部を結ぶ方向においては異なった位置に形成されている。以上の第1の内部電極24a, 24bによる構成は本発明の第1の内部電極グループAに対応する。ここでは、2枚の内部電極24b, 24bが内部電極25aの上下にセラミック抵抗層としてのサーミスタ層を介して重なり合っている部分を有する抵抗ユニットが構成されている。この抵抗ユニットの一部が第1の外部電極29に、他端が第2の外部電極30に接続されている。なお、本実施例では、第1の内部電極グループAにおける上記抵抗ユニットでは、内部電極24b, 24b及び内部電極24a、すなわち3枚の内部電極がサーミスタ層を介して重なり合うように配置されていたが、本発明においては、少なくとも2枚の内部電極がセラミック抵抗層を介して対向されておればよく、セラミック抵抗層を介して対向されている内部電極の積層数は特に限定されない。

[0041] この積層型サーミスタ21は、さらに次のような構成を備えている。すなわち、積層焼結体23の内部には、第1の内部電極グループAの上に、第2の内部電極グループBが形成されている。

[0042] この第2の内部電極グループBは次のような構成からなる。複数のサーミスタ層22が一体焼結された積層焼結体23の内部に、第3の内部電極27aと第4の内部電極27bを有する。第3の内部電極27aと第4の内部電極27bのそれぞれの一端部同士が、積層焼結体23の内部の同一平面上においてギャップ28を隔てて対向して形成されている。第3の内部電極27aの他端部が外部電極29と電氣的に接続されており、第4の内部電極27bの他端部が外部電極30と電氣的に接続されている。

- [0043] 第2の内部電極グループBのギャップ28は、積層焼結体23の内部で、複数のサーミスタ層22の積層方向の一端側、例えば上方からみたときに、同じ位置に形成されている。図1に示したギャップ28は外部電極30に近い位置に形成されている。また、このギャップ28は、第1の内部電極グループAのギャップ26aとは、サーミスタ層の積層方向一端側から見た場合には異なる位置、より具体的には、積層焼結体23の両端部を結ぶ方向において異なる位置に形成されている。なお、図1に示した第2の内部電極グループBでは、第3の内部電極27aと第4の内部電極27bとからなる電極対である組み合わせが3組積層されているが、この組み合わせの層数は目標抵抗値に合わせて設計すればよい。また、図1において、第1の内部電極グループAと第2の内部電極グループBとの間に存在するNTCサーミスタ層22aの厚みは、その他のNTCサーミスタ層22と比べて厚くしているが、同じ厚みにしてもよい。
- [0044] 第1の実施例に係る積層型抵抗素子において、抵抗値は次のようにして決定される。つまり、第1の内部電極グループAでは、第1の内部電極24a、25aと第2の内部電極24b、25bとで形成されるギャップ26a、26bの間隔と、第1の内部電極24aと第2の内部電極25bとの重なり合う面積および間隔で決定される。さらに、第2の内部電極グループBでは、第3の内部電極27aと第4の内部電極27bとで形成されるギャップ28の間隔で抵抗値が決定される。したがって、積層型抵抗素子の抵抗値は、第1の内部電極グループAと第2の内部電極グループBの各抵抗値の合成抵抗値になる。このうち、第2の内部電極グループBにおいては、ギャップ28の大きさで抵抗値が決まるが、ギャップ28間で形成される抵抗値は小さな値である。
- [0045] また、第1の実施例では、第2の内部電極グループBにおいて、内部電極27a及び内部電極27bからなる電極対である組み合わせが3組積層されていたため、3つのギャップ28がサーミスタ層22の積層方向において隣り合っており、かつ積層方向の一端側から見たときには重なり合うように配置されている。言い換えれば、1つのサーミスタ層22を介して両側のギャップ28、28が対向されている。このように、複数のギャップ28が第2の内部電極グループBに配置されており、かつ複数のギャップがサーミスタ層22を介して重なり合うように配置されているので、1つのギャップ28の間隔により形成される抵抗値が小さいだけでなく、複数のギャップ28の間隔によって決定される

上記第2の電極グループBの抵抗値も小さな値である。したがって、この第2の内部電極グループにより、積層型抵抗素子全体の抵抗値の微調整が可能となる。

[0046] 更に、第1の実施例の積層型サーミスタ21では、上記のようにして抵抗値を微調整し得るだけでなく、抵抗値の微調整をより高精度に行うことができるという利点を有する。すなわち、第1の実施例の積層型サーミスタ21では、サーミスタ層22aを介して隣り合っている、第1グループ内部電極の第1の内部電極24bと第2の内部電極25bととの間のギャップ26bと、第2グループ内部電極の第3の内部電極27aと、第4の内部電極27bととの間のギャップ28とが積層方向から見たときに、同じ位置に、すなわち重なり合うように配置されている。これをより明瞭に示すために、図1において、上記積層方向から見たときに同じ位置において位置するように近接し得るギャップに参照符号X及びYを付することとする。

[0047] 図1から明らかなように、第1グループ内部電極におけるギャップ26aのうち、第2グループ内部電極に最も近いギャップXが、第2グループ内部電極におけるギャップ28のうち最も第1グループ内部電極に近いギャップYが、積層方向から見たときに同じ位置に形成されている。

[0048] このことは、言い換えれば、ギャップX、ギャップYを構成するために配置されている第1の内部電極24b及び第2の内部電極25bと、第3の内部電極27a及び第4の内部電極27bの形状と同じとすることができることを意味する。本実施例では、サーミスタ層22の上面の内部電極パターンと、下面の内部電極パターンとが同一とされており、上記ギャップX、Yが積層方向一端側から見たときに同じ位置とされているため、抵抗値の微調整をより高精度に行うことができる。これは、第1グループ内部電極のうちギャップXを構成している内部電極24b、25bの内側端と、ギャップYを構成している第2グループ内部電極のうちの第3、第4の内部電極27a、27bの内側端の位置が揃い、それによって電流経路が均等になり、抵抗値のばらつきを更に減少させることができることによる。

[0049] 従って、好ましくは、第1グループ内部電極と第2グループ内部電極とを積層方向に並設配置した場合、第1グループ内部電極と第2グループ内部電極の近接し合っている内部電極同士において、上記のようなギャップがそれぞれ設けられている場合

には、ギャップの位置を積層方向からみて同じ位置、すなわち重なり合うように配置することが望ましい。

[0050] もっとも、本発明においては、第2グループ内部電極は、第1グループ内部電極の上方または下方に並設される必要は必ずしもなく、第2グループ内部電極が設けられている部分中に第1グループ内部電極が配置されてもよい。

[0051] (実施例2)

図2は、この積層型抵抗素子の第2実施例の断面図である。

[0052] 図2に示されている積層型抵抗素子31は、複数のNTCサーミスタ層32が積層されて一体焼結された積層焼結体33を有する。積層焼結体33の内部には、第1の内部電極34a、第2の内部電極34bから形成されている。また、第1の内部電極34a、第2の内部電極34bとサーミスタ層32を介して対向するように内部電極36が形成されている。積層焼結体32の外表面、具体的には、両端部には外部電極39、40がそれぞれ形成されている。

[0053] 分割内部電極としての第1の内部電極34aと、分割内部電極としての第2の内部電極34bのそれぞれ一端部同士が積層焼結体33の内部で同一平面上においてギャップ35を隔てて対向されている。第1の内部電極34aの他端部が外部電極39と電氣的に接続されており、第2の内部電極34bの他端部が外部電極40と電氣的に接続されている。

[0054] 内部電極36は、その両端部は積層焼結体33の外表面に導出されておらず、外部電極39、40には電氣的に接続されていない非接続型の内部電極である。以上の第1の内部電極34a、第2の内部電極34b、および非接続型の内部電極36による構成は本発明の第1グループの内部電極Cに対応する。

なお、第1グループの内部電極Cにおいては、上記第1の内部電極34a及び第2の内部電極34bと、非接続型の内部電極36とがサーミスタ層を介して重なり合っている。すなわち、内部電極34a、34b及び非接続型内部電極36を有する抵抗ユニットが構成されている。この抵抗ユニットの一端が第1の外部電極39に、他端が第2の外部電極40に接続されている。

また、本実施例においても、第1のグループの内部電極Cにおいては、サーミスタ

層を介して重なり合うように配置された内部電極は少なくとも2枚存在すればよく、言い換えれば、内部電極によって挟まれたセラミック抵抗層の数は1以上であればよく、特に限定されない。

[0055] この積層型サーミスタ31は、さらに次のような構成を備えている。つまり、積層焼結体33の内部には、第1グループの内部電極Cに隣接して、第2グループの内部電極Dが形成されている。

[0056] この第2グループの内部電極Dは次のような構成からなる。複数のサーミスタ層32が積層され一体焼結された積層焼結体33の内部に、第3の内部電極37aと第4の内部電極37bを有する。第3の内部電極37aと第4の内部電極37bのそれぞれの一端部同士は、積層焼結体33の内部で同一平面上においてギャップ38を隔てて対向されている。第3の内部電極37aの他端部が外部電極39と電氣的に接続されており、第4の内部電極37bの他端部が外部電極40と電氣的に接続されている。

[0057] 第2グループの内部電極Dのギャップ38は、積層焼結体33の内部で、複数のサーミスタ層32の積層方向に沿って同じ位置に形成されている。図2に示したギャップ38は積層焼結体33の両端部からほぼ同じ距離、つまりほぼ中央部に位置に形成されている。また、このギャップ38は、第1の内部電極グループCのギャップ35とは、サーミスタ層32の積層方向から見た場合同じ位置、より具体的には積層焼結体33の両端部を結ぶ方向において同じ位置に形成されているが、異なる位置に形成してもよい。また、図2に示した第2の内部電極グループDは、第3の内部電極37aと第4の内部電極37bがそれぞれ3層形成されているが、この層数は目標抵抗値に合わせて設計すればよい。また、図2において、第1の内部電極グループCと第2の内部電極グループDとの間に存在するNTCサーミスタ層32aの厚みは、その他のNTCサーミスタ層32と比べて厚くしているが、同じ厚みにしてもよい。

[0058] この第2の実施例に係る積層型抵抗素子において、抵抗値は次のようにして決定される。つまり、第1グループの内部電極Cでは、第1の内部電極34aと第2の内部電極34bとで形成されているギャップ35の間隔と、第1の内部電極34aと非接続型内部電極36との重なり合う面積および両者の間隔と、さらに第2の内部電極34bと非接続型内部電極36との重なり合う面積および両者の間隔で決定される。さらには、第2グル

ープの内部電極Dでは、第3の内部電極37aと第4の内部電極37bとで形成されるギャップ38の間隔で抵抗値が決定される。したがって、積層型抵抗素子の抵抗値は、第1グループの内部電極Cと第2グループの内部電極Dの各抵抗値の合成抵抗値になる。このうち、第2グループの内部電極Dにおいては、ギャップ38の間隔で抵抗値が決まるが、複数のギャップ38の位置はサーミスタ層32の積層方向に沿って、隣り合う位置にあるとともに同じ位置に形成されており、ギャップ38の間隔で決定される抵抗値は小さな値である。したがって、この第2グループの内部電極Dにより、積層型抵抗素子全体の抵抗値の微調整が可能となる。

[0059] (実施例3)

図3は、この積層型抵抗素子の第3実施例の断面図である。

[0060] 図3に示されている積層型抵抗素子41では、複数のNTCサーミスタ層42が積層されて一体焼結された積層焼結体43の内部に、第1の内部電極44、第2の内部電極45が形成されている。積層焼結体43の外表面、具体的には、両端部には外部電極49、50がそれぞれ形成されている。

[0061] 第1の内部電極44と第2の内部電極45は、それぞれ一端部が積層焼結体43の一方の端部に至る方向に形成されている。第1の内部電極44の他端部が、外部電極49と電氣的に接続されており、第2の内部電極45の他端部が、外部電極50と電氣的に接続されている。以上の第1の内部電極44、45による構成は本発明の第1グループの内部電極Eに対応する。

本実施例では、第1グループの内部電極Eにおいて、複数の内部電極44、45がセラミック抵抗層としてのサーミスタ層を介して重なり合うように配置されている。この複数の内部電極44、45を有する抵抗ユニットが構成されており、該抵抗ユニットの一端が外部電極49に、他端が外部電極50に接続されている。

なお、上記抵抗ユニットを構成している、サーミスタ層を介して重なり合っている内部電極の積層数は図3に示したように4枚に限定されない。すなわち、少なくとも2枚以上の内部電極がサーミスタ層を介して重なり合うように配置されておればよい。言い換えれば、内部電極間に挟まれる抵抗値を取り出すためのセラミック抵抗層の層数は1以上、任意の数とされ得る。

- [0062] この積層型サーミスタ41は、さらに次のような構成を備えている。つまり、積層焼結体43の内部には、第1グループの内部電極Eに隣接して、第2グループの内部電極Fが形成されている。
- [0063] この第2グループの内部電極Fは次のような構成からなる。複数のサーミスタ層42が積層され一体焼結された積層焼結体43の内部には、第3の内部電極47aと第4の内部電極47bとが形成されている。第3の内部電極47aと第4の内部電極47bのそれぞれの一端部同士が積層焼結体43の内部で同一平面上においてギャップ48を隔てて対向して形成されている。第3の内部電極47aの他端部が外部電極49と電氣的に接続されており、第4の内部電極47bの他端部が外部電極50と電氣的に接続されている。
- [0064] 第2グループの内部電極Fの複数のギャップ48は、積層焼結体43の内部で、複数のサーミスタ層42の積層方向に沿って、隣り合う位置にあるとともに積層方向から見たときに同じ位置に形成されている。図3に示したギャップ48は外部電極50に近い位置に形成されている。なお、図3に示した第2の内部電極グループFでは、第3の内部電極47aと第4の内部電極47bが3層形成されているが、少なくとも2層形成されていればよい。
- [0065] この第3の実施例に係る積層型抵抗素子において、抵抗値は次のようにして決定される。つまり、第1グループの内部電極Eでは、第1の内部電極44と第2の内部電極45との重なり合う面積および両者の間隔で決定される。さらに、第2グループの内部電極Fでは、第3の内部電極47aと第4の内部電極47bとで形成されるギャップ48で抵抗値が決定される。したがって、積層型抵抗素子の抵抗値は、第1の内部電極グループEと第2の内部電極グループFの各抵抗値の合成抵抗値になる。このうち、第2の内部電極グループFにおいては、ギャップ48間で抵抗値が決まるが、ギャップ位置はサーミスタ層42の積層方向に沿って、隣り合う位置にあるとともに積層方向から見たときに同じ位置に形成されており、複数のギャップ48間で形成される抵抗値は小さな値である。したがって、この第2グループの内部電極Fにより、積層型抵抗素子全体の抵抗値の微調整が可能となる。
- [0066] 次に、本発明の積層型抵抗素子を用いた場合、第2グループ内部電極の積層数の

増減により、抵抗値を微妙に調整することが可能であることをより具体的に説明する。

[0067] 図4は、図2に示した実施例の抵抗型サーミスタ31の変更例に係る積層型サーミスタ51の正面断面図である。積層型サーミスタ51は、図2に示されている最上層の第1の内部電極34a及び第2の内部電極34bが設けられていないことを除いては同様とされている。従って、同一部分については、同一の参照番号を付することにより、図2に示した説明を引用することとする。

[0068] 図4に示す、例えばある特定のサーミスタ材料を用いて製造し、設計抵抗値が47000Ωの積層型サーミスタ51を試作したとする。しかしながら、現実には、使用するサーミスタ材料のばらつきが生じ、得られた積層型サーミスタ51の抵抗値が変動することがある。例えば、サーミスタ材料の抵抗率が高くなった場合には、抵抗値は47000Ωよりも高くなる。例えば、47734Ω程度となった場合には、上記第2グループ内部電極の内部電極対数を図5に示すように1層増加させればよい。このようにして、第1グループ内部電極の第3、第4の内部電極37a、37bからなる電極対の対数を1対増加させることにより、約4.0%程度抵抗値を低めることができ、目標抵抗値47000Ωを得ることができる。

[0069] また、逆に、使用したサーミスタ材料の抵抗率が小さくなった場合には、目標抵抗値よりも抵抗値が低い積層型サーミスタ51が得られることになる。すなわち、図4に示した積層型サーミスタ51を試作したところ、抵抗値が45825Ω程度となった場合には、逆に図6に示すように、第1グループ内部電極における上記第3、第4の内部電極37a、37bからなる電極対数を1対減少させ、2対とすればよい。この場合、約2.5%程度抵抗値を高めることができ、やはり目標抵抗値47000Ωを実現することができる。

[0070] 上記のように、本発明の積層型抵抗素子では、第1グループ内部電極における第3、第4の内部電極からなる電極対の対数を増減することにより、抵抗値を微妙に調整し得ることがわかる。この電極対数が増加する程、例えば抵抗値を0.5%程度のように、非常に細かく抵抗値を調整することができる。よって、電極積層数を変更することにより幅広い範囲に渡り、かつ非常に細かく抵抗値を調整し得ることがわかる。

[0071] 上記した各実施例1、2、3の積層型抵抗素子はいずれもNTCサーミスタの例を示したが、このほかPTCサーミスタにも適用できるものである。

請求の範囲

- [1] 複数のセラミック抵抗層と複数の内部電極とが積層されている積層焼結体と、
前記積層焼結体の外表面に形成された第1の外部電極及び第2の外部電極とを備え、
前記複数の内部電極は、第1のグループの複数の内部電極と、第2のグループの複数の内部電極とを有し、
前記第1のグループの複数の内部電極は、上記セラミック抵抗層を介して対向するように配置された少なくとも2枚の内部電極を有する抵抗ユニットを有し、該抵抗ユニットの一端が前記第1の外部電極に、他端が前記第2の外部電極に電氣的に接続されており、
前記第2のグループの内部電極は、それぞれの一端同士が前記積層焼結体内の同一平面上においてギャップを隔てて対向されている複数対の内部電極を有し、各対の内部電極の一方が前記第1の外部電極に、他方が前記第2の外部電極に電氣的に接続されていることを特徴とする、積層型抵抗素子。
- [2] 前記第2のグループの複数のギャップが、前記積層焼結体内において積層方向において重なり合う位置に形成されている、請求項1に記載の積層型抵抗素子。
- [3] 前記第1のグループの内部電極が、前記第1の外部電極に電氣的に接続された第1の分割内部電極と、前記第2の外部電極に電氣的に接続された第2の分割内部電極とを有し、前記第1、第2の分割内部電極のそれぞれの一端同士が同一平面上においてギャップを隔てて対向されており、
前記第2の内部電極グループの各1対の内部電極のうち、第1の外部電極に電氣的に接続されている内部電極を第3の内部電極、第2の外部電極に電氣的に接続されている他方の内部電極を第4の内部電極としたときに、前記第1のグループのギャップであって、前記第2のグループに最も近いギャップが、前記第2のグループの第3、第4の内部電極間のギャップであって、第1のグループに最も近いギャップと積層方向において重なり合う位置に配置されている、請求項1または2に記載の積層型抵抗素子。
- [4] 前記第1、第2の分割内部電極からなる電極対が複数対積層されており、積層方向

において隣り合う電極対におけるギャップが積層方向の一方側から見たときに異なる位置に形成されている、請求項3に記載の積層型抵抗素子。

- [5] 前記第1のグループの内部電極において、前記第1, 第2の分割内部電極にセラミック抵抗層を介して重なり合うように配置された非接続型内部電極を更に備える、請求項3に記載の積層型抵抗素子。
- [6] 前記第1のグループの内部電極が、前記第1の外部電極に電氣的に接続された第1の内部電極と、前記第2の外部電極に電氣的に接続された第2の内部電極とを有し、前記第1, 2の内部電極が、セラミック層を介して重なり合うように配置されている、請求項1または2に記載の積層型抵抗素子。
- [7] 複数のセラミック抵抗層と複数の内部電極とが積層されている積層焼結体と、前記積層焼結体の外表面に形成された第1の外部電極と第2の外部電極とを備え、
前記内部電極は、第1グループの内部電極と、第2グループの内部電極とからなり、
前記第1グループの内部電極は、その一端が前記積層焼結体内で同一平面上においてギャップを隔てて対向して形成され、その他端が前記第1の外部電極、第2の外部電極にそれぞれ接続された第1の内部電極、第2の内部電極とからなり、前記積層焼結体の積層方向において隣り合う前記第1, 第2の各内部電極のギャップが前記積層焼結体の積層方向から見たときに互いに異なる位置に形成されており、
前記第2グループの内部電極は、その一端が前記積層焼結体内で同一平面上にギャップを隔てて対向して形成され、その他端が前記第1の外部電極、第2の外部電極にそれぞれ接続された1対の第3の内部電極、第4の内部電極とからなり、第3の内部電極、第4の内部電極によって形成されている前記ギャップが前記積層焼結体の積層方向に沿って同じ位置にあることを特徴とする積層型抵抗素子。
- [8] 複数のセラミック抵抗層と内部電極が積層されている積層焼結体と、前記積層焼結体の外表面に形成された第1の外部電極と第2の外部電極とを備え、
前記内部電極は、第1グループの内部電極と、第2グループの内部電極とからなり

、
前記第1グループの内部電極は、その一端が前記積層焼結体内で同一平面上においてギャップを隔てて対向して形成され、その他端が前記第1の外部電極、第2の外部電極にそれぞれ接続された第1の内部電極、第2の内部電極と、第1の内部電極と第2の内部電極と前記セラミック抵抗層を介して前記積層焼結体の積層方向に重なるように形成され、第1、第2の外部電極とは接続されない非接続型の内部電極とからなり、

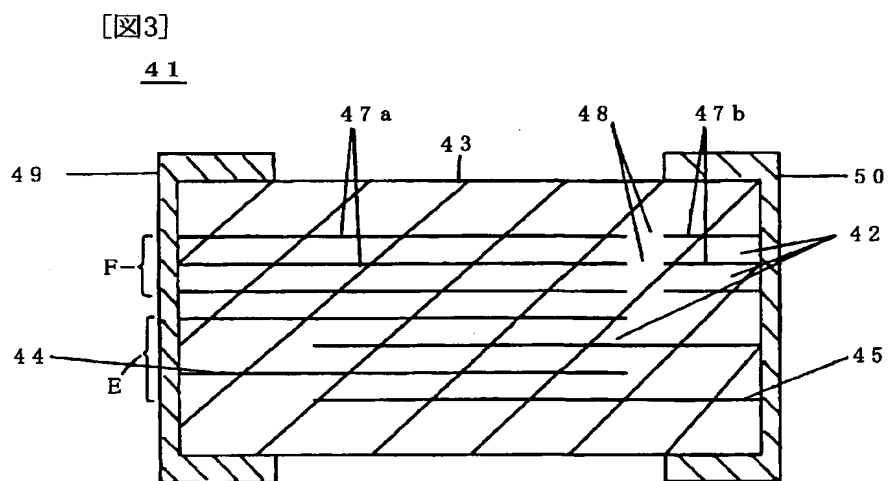
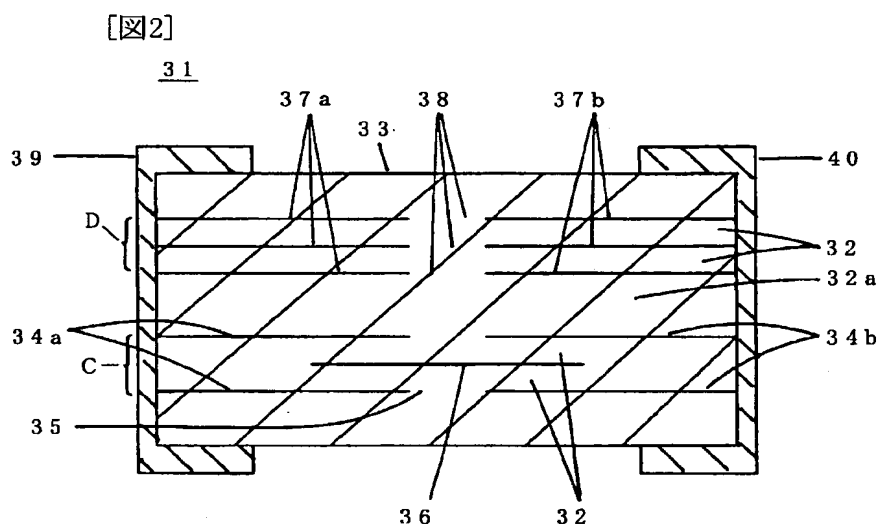
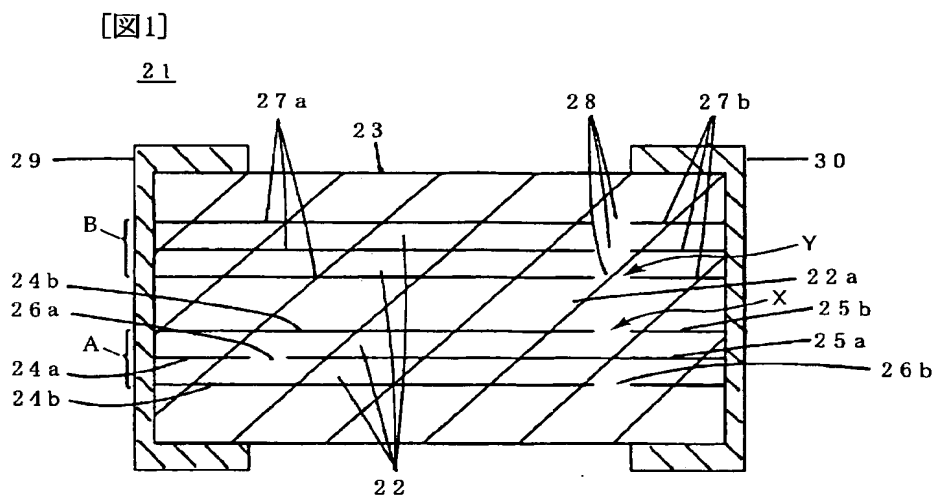
前記第2グループの内部電極は、その一端が前記積層焼結体内で同一平面上にギャップを隔てて対向して形成され、その他端が前記第1の外部電極、第2の外部電極にそれぞれ接続された第3の内部電極、第4の内部電極とからなり、第3の内部電極、第4の内部電極によって形成されている前記ギャップが前記積層焼結体の積層方向から見たときに同じ位置にあることを特徴とする積層型抵抗素子。

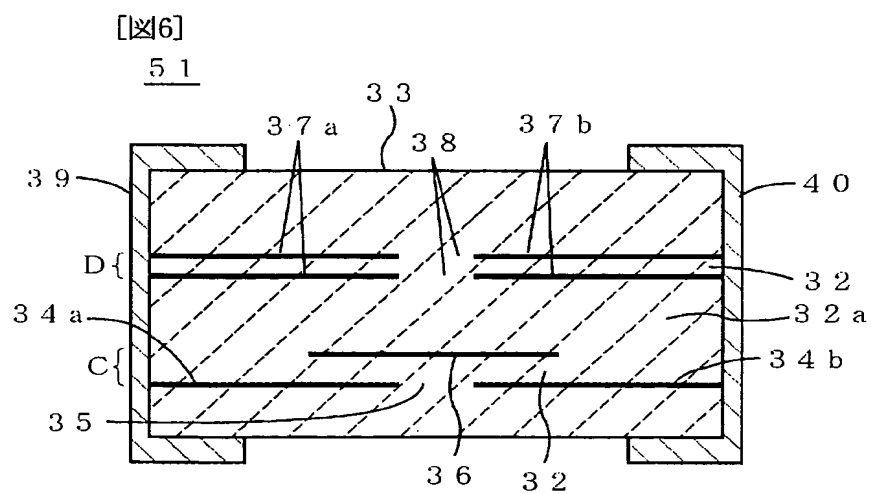
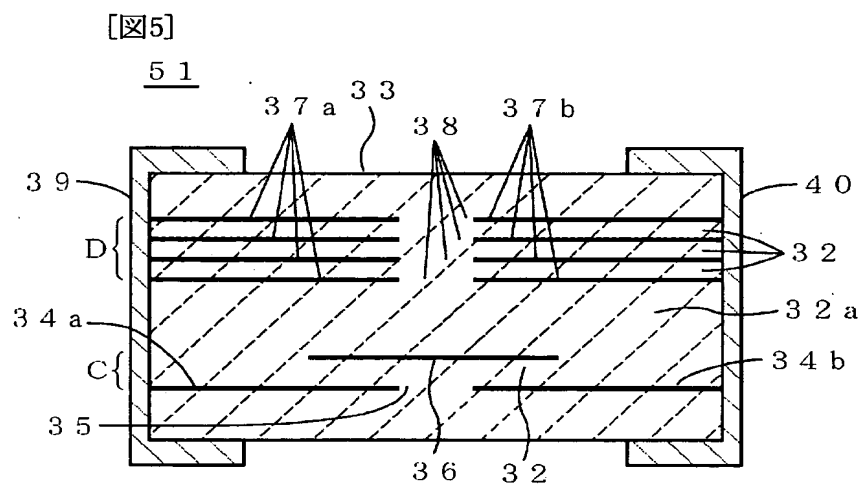
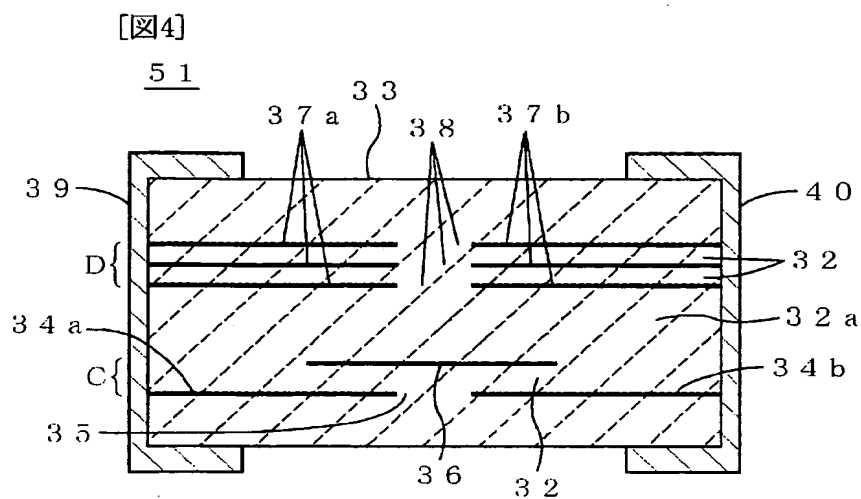
- [9] 複数のセラミック抵抗層と内部電極が積層されている積層焼結体と、
前記積層焼結体の外表面に形成された第1の外部電極と第2の外部電極とを備え、

、
前記内部電極は、第1グループの内部電極と、第2グループの内部電極とからなり、

、
前記第1グループの内部電極は、前記セラミック抵抗層を介して互いに対向し、前記第1の外部電極に接続される第1内部電極と前記第2の外部電極に接続される第2内部電極とからなり、

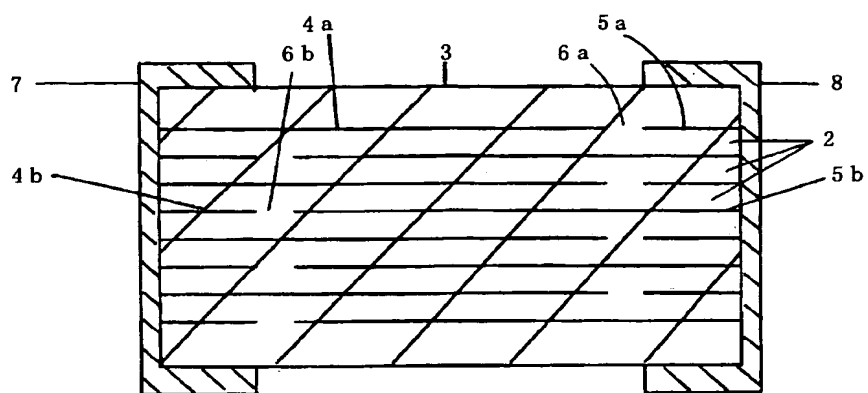
前記第2グループの内部電極は、その一端が前記積層焼結体内で同一平面上にギャップを隔てて対向して形成され、その他端が前記第1の外部電極、第2の外部電極にそれぞれ接続された第3の内部電極、第4の内部電極とからなり、第3の内部電極、第4の内部電極によって形成されている前記ギャップが前記積層焼結体の積層方向から見たときに同じ位置にあることを特徴とする積層型抵抗素子。





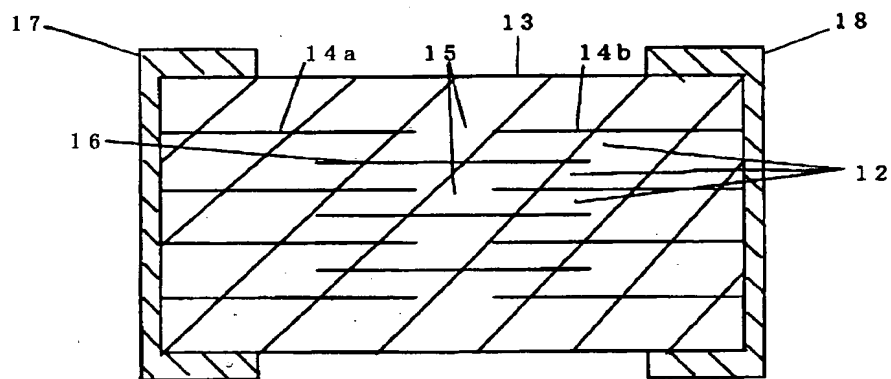
[図7]

1



[図8]

11



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/016044

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01C7/04

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01C7/04

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Jitsuyo Shinan Toroku Koho	1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 10-247601 A (Murata Mfg. Co., Ltd.),	1-3, 7, 9
Y	14 September, 1998 (14.09.98),	8
A	Full text; all drawings	4-6
	& DE 19806296 A1 & KR 255712 B1	
	& US 6008717 A	
Y	JP 5-243007 A (Murata Mfg. Co., Ltd.),	8
	21 September, 1993 (21.09.93),	
	Full text; all drawings	
	(Family: none)	

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
02 February, 2005 (02.02.05)

Date of mailing of the international search report
15 February, 2005 (15.02.05)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl. ⁷ H01C 7/04

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl. ⁷ H01C 7/04

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年

日本国公開実用新案公報 1971-2004年

日本国登録実用新案公報 1994-2004年

日本国実用新案登録公報 1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y A	JP 10-247601 A (株式会社村田製作所) 1998. 09. 14, 全文, 全図 & DE 19806296 A1 & KR 255712 B1 & US 6008717 A	1-3, 7, 9 8 4-6
Y	JP 5-243007 A (株式会社村田製作所) 1993. 0 9. 21, 全文, 全図 (ファミリーなし)	8

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

02.02.2005

国際調査報告の発送日

15.2.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

重田 尚郎

5R

9298

電話番号 03-3581-1101 内線 3565